

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-067892

(43)Date of publication of application : 09.03.1999

(51)Int.CI.

H01L 21/76

H01L 29/78

(21)Application number : 09-214570

(71)Applicant : TOSHIBA CORP

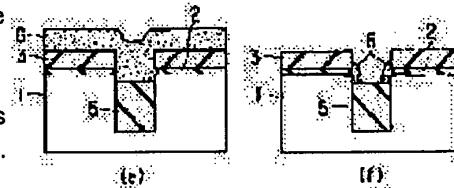
(22)Date of filing : 08.08.1997

(72)Inventor : SAITO TOMOHIRO  
USHIKU YUKIHIRO

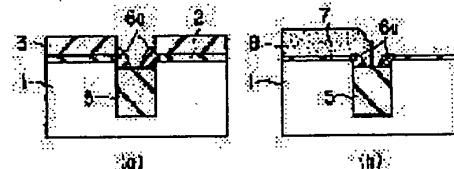
## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent the deterioration of an element characteristic, by forming an element separation insulating film which covers the side wall of an element separation groove and protrudes from the surface of an element forming area on the element separation insulating film which is buried to the middle of the element separation groove.



**SOLUTION:** A buried oxidized film 5 is formed on the whole face and it is etched until the upper side wall of a trench groove is exposed. The upper corner of the element forming area is exposed. A polycrystalline silicon film 6 is formed on the whole face. Then, a silicon nitride film 3 and the unnecessary polycrystalline silicon film 6 on the buried oxide film 5 are removed, so that the polycrystalline silicon film 6 on the boundary of the element forming area and the trench groove does not come under the element forming area. The polycrystalline silicon film 6 is oxidized by a thermal oxidizing method and it is changed to the silicon oxide film 6a. Thus, the upper corner part of the element forming area is covered by the silicon oxide film 6a, and it can prevent the upper side wall of the trench groove from being exposed when removing the buffer oxide film 2.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

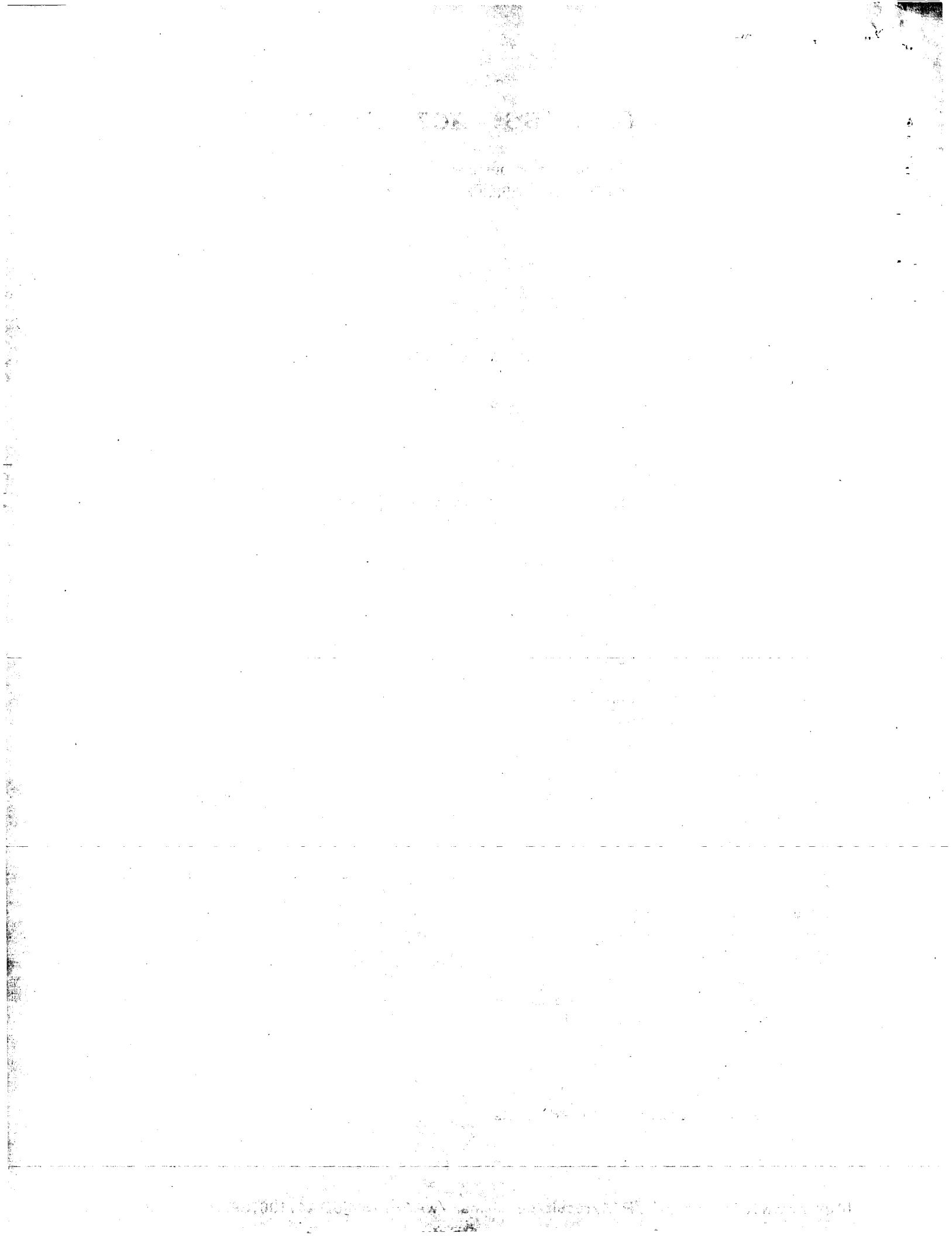
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

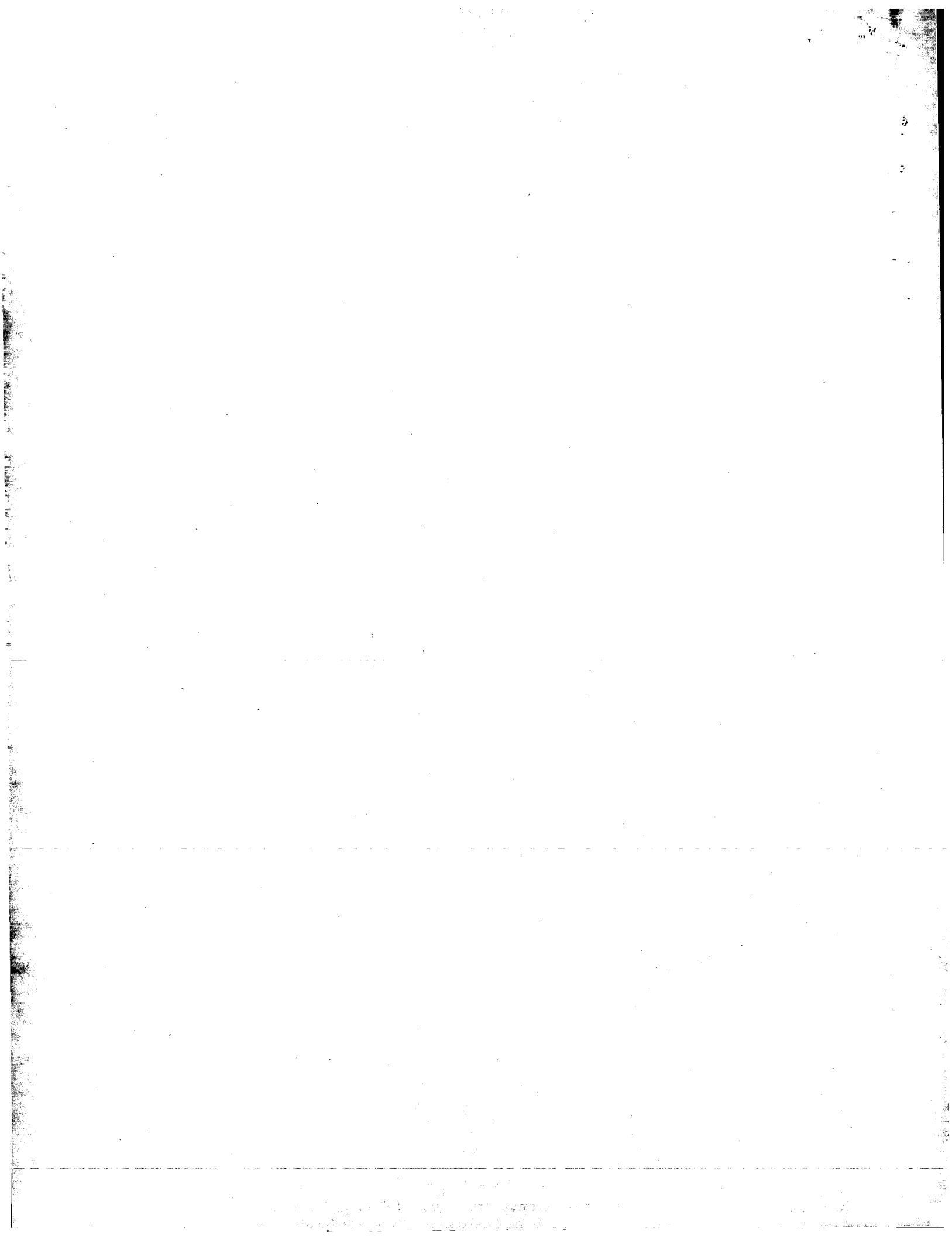
[Number of appeal against examiner's decision of rejection]



[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



(3)

# 類似技術

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-67892

(43)公開日 平成11年(1999)3月9日

(51)Int.Cl.<sup>®</sup>H 01 L 21/76  
29/78

識別記号

F I

H 01 L 21/76  
29/78L  
3 0 1 R

審査請求 未請求 請求項の数17 OL (全 12 頁)

(21)出願番号

特願平9-214570

(22)出願日

平成9年(1997)8月8日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 齋藤 友博

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 牛久 幸広

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

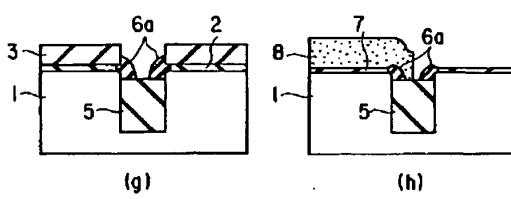
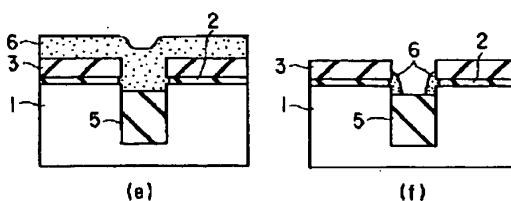
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】基板表面にバッファ酸化膜を設けてSTI構造を形成した後、バッファ酸化膜を除去してからMOSトランジスタを形成する際に、バッファ酸化膜の除去工程で、トレンチ溝の上部側壁が露出することを防止できるSTI構造を提供すること。

【解決手段】シリコン基板1の表面に形成されたトレンチ溝の内部に素子分離絶縁膜を埋め込んでなるSTI構造において、上記素子分離絶縁膜を、トレンチ溝の途中の深さまで埋め込まれた埋め込み酸化膜5と、この埋め込み酸化膜5上に形成され、かつ素子形成領域とトレンチ溝との境界上において、素子形成領域の表面より突出したシリコン酸化膜6aとで構成する。



## 【特許請求の範囲】

【請求項1】半導体基板の表面に形成された素子分離溝の内部に、素子分離絶縁膜を埋め込んでなる素子分離領域と、この素子分離領域によって互いに分離された島状の素子形成領域と、を具備してなり。

前記素子分離絶縁膜は、前記素子分離溝の途中の深さまで埋め込まれた第1の素子分離絶縁膜と、この第1の素子分離絶縁膜上に前記素子分離溝の側壁を覆うように形成され、かつ前記素子形成領域と前記素子分離溝との境界上において、前記素子形成領域の表面より突出した第2の素子分離絶縁膜とから構成されていることを特徴とする半導体装置。

【請求項2】前記素子形成領域と前記素子分離領域との境界をまたがるように、前記素子形成領域上に導電膜が形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】前記導電膜は、ゲート電極であることを特徴とする請求項1に記載の半導体装置。

【請求項4】前記第1の素子分離絶縁膜は、不純物を含む絶縁膜であることを特徴とする請求項1に記載の半導体装置。

【請求項5】前記第2の素子分離絶縁膜は、シリコン酸化膜またはシリコン窒化膜であることを特徴とする請求項1に記載の半導体装置。

【請求項6】半導体基板上に第1の絶縁膜を形成する工程と、

この第1の絶縁膜上に素子分離溝形成用のマスクパターンを形成する工程と、

このマスクパターンをマスクにして前記第1の絶縁膜、前記半導体基板をエッチングし、前記半導体基板の表面上に素子分離溝を形成し、複数の島状の素子形成領域を形成する工程と、

第1の素子分離絶縁膜としての第2の絶縁膜を前記素子分離溝の途中の深さまで埋め込み形成する工程と、

前記素子分離溝が埋め込まれるように、全面に第2の素子分離絶縁膜となる絶縁化可能な非絶縁膜を形成する工程と、

前記素子形成領域と前記素子分離溝との境界上の前記非絶縁膜が、前記素子形成領域の表面以下にならないように、前記マスクパターン上の前記非絶縁膜を除去する工程と、

前記非絶縁膜を絶縁化して第2の素子分離絶縁膜を形成する工程と、

前記第1の絶縁膜および前記マスクパターンを除去する工程とを有することを特徴とする半導体装置の製造方法。

【請求項7】前記素子形成領域の上部コーナ部上の前記マスクパターンを除去した後、前記非絶縁膜を形成する

ことを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項8】前記マスクパターンはシリコン窒化膜から形成され、非絶縁膜は多結晶シリコン膜であることを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項9】前記マスクパターン上の非絶縁膜を反応性イオンエッティング法または化学的機械的研磨法を用いて除去することを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項10】前記非絶縁膜を絶縁化して前記第2の絶縁膜を形成した後、前記マスクパターンを除去する工程と、

前記素子形成領域上にゲート絶縁膜を形成した後、前記第2の素子分離絶縁膜と前記素子形成領域との境界をまたがるように、前記ゲート絶縁膜上にゲート電極を形成する工程とを含むことを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項11】半導体基板上に第1の絶縁膜を形成する工程と、

この第1の絶縁膜上に素子分離溝形成用のマスクパターンを形成する工程と、

このマスクパターンをマスクにして前記第1の絶縁膜、前記半導体基板をエッチングし、前記半導体基板の表面上に素子分離溝を形成し、複数の島状の素子形成領域を形成する工程と、

第1の素子分離絶縁膜としての第2の絶縁膜を前記素子分離溝の途中の深さまで埋め込み形成する工程と、

前記素子分離溝が埋め込まれるように、全面に第2の素子分離絶縁膜としての第3の絶縁膜を形成する工程と、前記素子形成領域と前記素子分離溝との境界上の前記第3の絶縁膜が、前記素子形成領域の表面以下にならないように、前記マスクパターン上の前記第3の絶縁膜を除去する工程と、

前記第1の絶縁膜および前記マスクパターンを除去する工程とを有することを特徴とする半導体装置の製造方法。

【請求項12】前記マスクパターンは多結晶シリコン膜から形成され、前記第3の絶縁膜はシリコン窒化膜であることを特徴とする請求項11に記載の半導体装置の製造方法。

【請求項13】前記マスクパターン上の第3の絶縁膜を反応性イオンエッティング法または化学的機械的研磨法を用いて除去することを特徴とする請求項11に記載の半導体装置の製造方法。

【請求項14】前記マスクパターン上の前記第3の絶縁膜を除去した後、前記マスクパターンを除去する工程と、

前記素子形成領域上にゲート絶縁膜を形成した後、前記第2の素子分離絶縁膜と前記素子形成領域との境界をまたがるように、前記ゲート絶縁膜上にゲート電極を形成

する工程とを含むことを特徴とする請求項11に記載の半導体装置の製造方法。

【請求項15】半導体基板上に第1の絶縁膜を形成する工程と、

この第1の絶縁膜上に素子分離溝形成用のマスクパターンを形成する工程と、

このマスクパターンをマスクにして前記第1の絶縁膜、

前記半導体基板をエッチングし、前記半導体基板の表面上に素子分離溝を形成し、複数の島状の素子形成領域を形成する工程と、

第1の素子分離絶縁膜としての第2の絶縁膜を前記素子分離溝の途中の深さまで埋め込み形成する工程と、

前記素子領域の上部コーナ部上の前記マスクパターンを除去する工程と、

このマスクパターンが除去された前記素子領域の上部コーナ部上に第2の素子分離絶縁膜となる絶縁化可能な非絶縁膜を選択的に形成する工程と、

前記非絶縁膜を絶縁化して第2の素子分離絶縁膜を形成する工程と、

前記第1の絶縁膜および前記マスクパターンを除去する工程とを有することを特徴とする半導体装置の製造方法。

【請求項16】前記非絶縁膜をエピタキシャル成長法を用いて形成することを特徴とする請求項15に記載の半導体装置の製造方法。

【請求項17】前記マスクパターンはシリコン塗化膜から形成され、前記非絶縁膜は単結晶シリコン膜であることを特徴とする請求項15に記載の半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、溝型素子分離を用いた半導体装置およびその製造方法に関する。

##### 【0002】

【従来の技術】近年、コンピューターや通信機器の重要な部分には、多数のトランジスタや抵抗等を電気回路を達成するようにむすびつけ、1チップ上に集積化して形成した大規模集積回路（LSI）が多用されている。このため、機器全体の性能は、LSI単体の性能と大きく結び付いている。LSI単体の性能向上は、素子を微細化して、高集積化することにより実現できる。

【0003】一方、従来より、素子分離は局所酸化法の一つであるLOCOS素子分離により行なわれている。この素子分離ではバーズピークと呼ばれる酸化膜の食い込みが素子形成領域に生じ、素子形成領域の実効的な面積が減少する。したがって、LOCOS素子分離は、高集積化に関しては有効ではない。

【0004】そこで、最近では、基板表面に浅いトレチ溝（素子分離溝）を形成し、この浅いトレチ溝を絶縁膜により充填するというSTI（Shallow Trench Iso-

lation）が多く用いられるようになってきている。この素子分離は、LOCOS素子分離の場合とは異なり、バーズピークが生じないので、素子形成領域の減少を防止でき、高集積化に関して有効なものである。

【0005】しかしながら、STIには以下の問題がある。この問題を素子形成領域にMOSトランジスタを形成する場合を例にとって具体的に説明する。図11に、素子分離をSTIにより行ない、素子形成領域にMOSトランジスタを形成する方法の工程断面図を示す。

【0006】まず、図11(a)に示すように、シリコン基板91の表面を熱酸化してバッファ酸化膜92を形成する。次に同図(a)に示すように、バッファ酸化膜92上にシリコン塗化膜93を形成した後、このシリコン塗化膜93上にレジストパターン94を形成する。

【0007】次に図11(b)に示すように、レジストパターン94をマスクにして、シリコン塗化膜93をエッチングし、レジストパターン94のパターンをシリコン塗化膜93に転写する。このシリコン塗化膜93もレジストパターン94と同様にマスクパターンとして用いられる。これにより、エッチングの最中にレジストパターン94が消滅しても、そのパターンはシリコン塗化膜93が存在する限り、下地に転写されることになる。

【0008】次に同図(b)に示すように、シリコン塗化膜93、レジストパターン94をマスクにして、バッファ酸化膜92、シリコン基板91を順次エッチングし、シリコン基板91の表面に浅いトレチ溝を形成し、複数の島状の素子形成領域を形成する。この後、レジストパターン94を剥離する。

【0009】この図11(b)の工程のエッチングには、例えば、反応性イオンエッチング(Reactive Ion Etching: RIE)を用いる。次に図11(c)に示すように、全面に埋め込み酸化膜94となる酸化膜を堆積し、トレチ溝を埋め込んだ後、上記酸化膜を化学的機械的研磨(Chemical Mechanical Polishing: CMP)法を用いて平坦化してから、バッファ酸化膜92およびシリコン塗化膜93を除去する。

【0010】次に図11(d)に示すように、素子領域の基板表面にゲート酸化膜95を形成した後、ゲート電極96を形成する。この後は、周知のMOSトランジスタの製造方法に従う。

【0011】この従来の製造方法では、図11(c)の工程でバッファ酸化膜92を除去する際に、トレチ溝の上部コーナ部の埋め込み酸化膜95も除去され、トレチ溝の上部側壁が露出してしまう。言い換えれば、素子形成領域の上部コーナ部が露出する。このため、図11(d)の工程で露出部分にゲート酸化膜95を介してゲート電極96が配設されることになる。

【0012】この結果、ゲート電極96にゲート電圧を

印加して形成される電界が素子形領域の上部コーナ部に集中し、これによりゲート耐圧が低下したり、サブスレッシュホールド特性にキックが発生したり、ハングが発生するなど、MOSトランジスタの電気的特性が著しく劣化するという問題が起こる。

## 【0013】

【発明が解決しようとする課題】上述の如く、基板表面にバッファ酸化膜を設けてSTI構造を形成した後、バッファ酸化膜を除去してからMOSトランジスタを形成する際に、素子形領域の上部コーナ部が露出し、この露出部分にゲート酸化膜を介してゲート電極が配設されることから、ゲート電極に電圧を印加すると、上記露出部分に電界が集中し、MOSトランジスタの電気的特性が著しく劣化するという問題があった。

【0014】本発明は、上記事情を考慮してなされたもので、その目的とするところは、素子特性の劣化を防止できる溝型素子分離構造を有する半導体装置を提供することにある。

【0015】また、本発明は、基板表面に絶縁膜を設けて溝型素子分離構造を形成した後、上記絶縁膜を除去してから、素子形成領域と素子分離領域との境界をまたがるように素子形成領域上に導電膜を形成しても、素子特性の劣化を防止できる溝型素子分離構造を有する半導体装置の製造方法を提供することにある。

## 【0016】

## 【課題を解決するための手段】

【構成】上記目的を達成するために、本発明に係る半導体装置（請求項1）は、半導体基板の表面に形成された素子分離溝の内部に、素子分離絶縁膜を埋め込んでなる素子分離領域と、この素子分離領域によって互いに分離された島状の素子形成領域とを具備してなり、前記素子分離絶縁膜が、前記素子分離溝の途中の深さまで埋め込まれた第1の素子分離絶縁膜と、この第1の素子分離絶縁膜上に前記素子分離溝の側壁を覆うように形成され、かつ前記素子形成領域と前記素子分離溝との境界において、前記素子形成領域の表面より突出した第2の素子分離絶縁膜とから構成されていることを特徴とする。

【0017】また、本発明に係る他の半導体装置（請求項2）は、上記半導体装置（請求項1）において、前記素子形成領域と前記素子分離領域との境界をまたがるように、前記素子形成領域上に導電膜が形成されていることを特徴とする。

【0018】また、本発明に係る他の半導体装置（請求項3）は、上記半導体装置（請求項2）において、前記導電膜がゲート電極であることを特徴とする。また、本発明に係る他の半導体装置（請求項4）は、上記半導体装置（請求項1）において、前記第1の素子分離絶縁膜が不純物を含む絶縁膜であることを特徴とする。

【0019】また、本発明に係る他の半導体装置（請求項5）は、上記半導体装置（請求項1）において、前記

第2の素子分離絶縁膜が、シリコン酸化膜またはシリコン窒化膜であることを特徴とする。

【0020】また、本発明に係る半導体装置の製造方法（請求項6）は、半導体基板上に第1の絶縁膜を形成する工程と、この第1の絶縁膜上に素子分離溝形成用のマスクパターンを形成する工程と、このマスクパターンをマスクにして前記第1の絶縁膜、前記半導体基板をエッチングし、前記半導体基板の表面に素子分離溝を形成し、複数の島状の素子形成領域を形成する工程と、第1の素子分離絶縁膜としての第2の絶縁膜を前記素子分離溝の途中の深さまで埋め込み形成する工程と、前記素子分離溝が埋め込まれるように、全面に第2の素子分離絶縁膜となる絶縁化可能な非絶縁膜を形成する工程と、前記素子形成領域と前記素子分離溝との境界上の前記非絶縁膜が、前記素子形成領域の表面以下にならないよう前記マスクパターン上の前記非絶縁膜を除去する工程と、前記非絶縁膜を絶縁化して第2の素子分離絶縁膜を形成する工程と、前記第1の絶縁膜および前記マスクパターンを除去する工程とを有することを特徴とする。

【0021】また、本発明に係る他の半導体装置の製造方法（請求項7）は、上記半導体装置の製造方法（請求項6）において、前記素子形成領域のコーナ部上の前記マスクパターンを除去した後、前記非絶縁膜を形成することを特徴とする。

【0022】また、本発明に係る他の半導体装置の製造方法（請求項8）は、上記半導体装置の製造方法（請求項6）において、前記マスクパターンがシリコン窒化膜から形成され、非絶縁膜が多結晶シリコン膜であることを特徴とする。

【0023】ここで、非絶縁膜としては、非晶質シリコン膜を使用することも可能である。また、前記マスクパターン上の非絶縁膜の除去は、例えば、反応性イオンエッチング法または化学的機械的研磨法により行なう（請求項9）。

【0024】また、本発明に係る他の半導体装置の製造方法（請求項10）は、上記半導体装置の製造方法（請求項6）において、前記非絶縁膜を絶縁化して前記第2の絶縁膜を形成した後、前記マスクパターンを除去する工程と、前記素子形成領域上にゲート絶縁膜を形成した後、前記第2の素子分離絶縁膜と前記素子形成領域との境界をまたがるように、前記ゲート絶縁膜上にゲート電極を形成する工程とを含むことを特徴とする。

【0025】また、本発明に係る他の半導体装置の製造方法（請求項11）は、半導体基板上に第1の絶縁膜を形成する工程と、この第1の絶縁膜上に素子分離溝形成用のマスクパターンを形成する工程と、このマスクパターンをマスクにして前記第1の絶縁膜、前記半導体基板をエッチングし、前記半導体基板の表面に素子分離溝を形成し、複数の島状の素子形成領域を形成する工程と、第1の素子分離絶縁膜としての第2の絶縁膜を前記素子

分離溝の途中の深さまで埋め込み形成する工程と、前記素子分離溝が埋め込まれるように、全面に第2の素子分離絶縁膜としての第3の絶縁膜を形成する工程と、前記素子形成領域と前記素子分離溝との境界上の前記第3の絶縁膜が、前記素子形成領域の表面以下にならないように、前記マスクパターン上の前記第3の絶縁膜を除去する工程と、前記第1の絶縁膜および前記マスクパターンを除去する工程とを有することを特徴とする。

【0026】ここで、前記マスクパターン上の第3の絶縁膜の除去は、例えば、反応性イオンエッチング法または化学的機械的研磨法により行なう(請求項12)。また、本発明に係る他の半導体装置の製造方法(請求項13)は、上記半導体装置の製造方法(請求項11)において、前記マスクパターン上の第3の絶縁膜を反応性イオンエッチング法または化学的機械的研磨法を用いて除去することを特徴とする。

【0027】また、本発明に係る他の半導体装置の製造方法(請求項14)は、上記半導体装置の製造方法(請求項11)において、前記マスクパターン上の前記第3の絶縁膜を除去した後、前記マスクパターンを除去する工程と、前記素子形成領域上にゲート絶縁膜を形成した後、前記第2の素子分離絶縁膜と前記素子形成領域との境界をまたがるように、前記ゲート絶縁膜上にゲート電極を形成する工程とを含むことを特徴とする。

【0028】また、本発明に係る他の半導体装置の製造方法(請求項15)は、半導体基板上に第1の絶縁膜を形成する工程と、この第1の絶縁膜上に素子分離溝形成用のマスクパターンを形成する工程と、このマスクパターンをマスクにして前記第1の絶縁膜、前記半導体基板をエッチングし、前記半導体基板の表面に素子分離溝を形成し、複数の島状の素子形成領域を形成する工程と、第1の素子分離絶縁膜としての第2の絶縁膜を前記素子分離溝の途中の深さまで埋め込み形成する工程と、前記素子領域の上部コーナ部上の前記マスクパターンを除去する工程と、このマスクパターンが除去された前記素子領域の上部コーナ部上に第2の素子分離絶縁膜となる絶縁化可能な非絶縁膜を選択的に形成する工程と、前記非絶縁膜を絶縁化して第2の素子分離絶縁膜を形成する工程と、前記第1の絶縁膜および前記マスクパターンを除去する工程とを有することを特徴とする。

【0029】このような非絶縁膜は、例えばエピタキシャル成長法を用いることにより形成できる(請求項16)。また、マスクパターンとしては例えばシリコン窒化膜で形成されたもの、非絶縁膜としては例えばエピタキシャル成長法で形成された単結晶シリコン膜があげられる(請求項17)。

【0030】[作用] 本発明(請求項1)では、素子分離絶縁膜が、素子分離溝の途中の深さまで埋め込まれた第1の素子分離絶縁膜と、この第1の素子分離絶縁膜上に形成された第2の素子分離絶縁膜で構成されている。

【0031】ここで、第2の素子分離絶縁膜は、前記素子分離溝の側壁を覆うように形成され、かつ素子形成領域と素子分離溝との境界上において、素子形成領域の表面より突出しているので、素子分離溝の上部側壁は第2の素子分離絶縁膜で確実に覆われることになる。

【0032】このため、前記素子形成領域と前記素子分離領域との境界をまたがるように、前記素子形成領域上に導電膜を形成し(請求項2)、前記導電膜に電圧を印加しても、前記素子形成領域の上部コーナ部に電界が集中することはない。

【0033】したがって、本発明によれば、溝型素子分離を用いた場合の素子形成領域のコーナ部における電界集中に起因する素子特性の劣化を防止できるようになる。そして、このような素子分離溝は、第1の絶縁膜のように後工程で除去する絶縁膜を形成する必要がある場合でも、本発明(請求項6, 11, 15)の製造方法により、素子形成領域の上部コーナ部を露出させることなく形成できるものである。

【0034】また、本発明(請求項3)によれば、素子形成領域の上部コーナ部の電界集中を防止できることから、ゲート耐圧が低下したり、サブレッシュホールド特性にキンクが発生したり、ハングが発生するなどのMOSトランジスタの電気的特性の劣化を防止できる。

【0035】また、素子分離絶縁膜を第1の素子分離絶縁膜と第2の素子分離絶縁膜とに分けることにより(請求項4, 5, 8, 12)、本発明(請求項1)の溝型素子分離構造を容易に製造できるようになる。第1の素子分離絶縁膜は、従来の素子分離絶縁膜と同様の絶縁膜であり、これにより従来通りに埋め込み分離を行なうことができる。また、第2の素子分離絶縁膜は、本発明(請求項1)の溝型素子分離構造を製造するのに適したもののが選ばれる。

【0036】また、本発明(請求項6, 11, 15)によれば、トレンチ溝の上部側壁が素子形成領域の表面よりも高い第2の素子分離絶縁膜で覆われるので、予め形成した第1の絶縁膜を第2の素子分離絶縁膜の形成後に除去しても、トレンチ溝の上部側壁(素子形成領域の上部コーナ部)は露出し難くなる。したがって、予め形成した第2の絶縁膜の除去の際に、トレンチ溝の上部側壁が露出するのを防止できる。

【0037】また、素子形領域のコーナ部上のマスクパターンを除去した後、前記非絶縁膜を形成することにより(請求項7)、非絶縁膜を絶縁化して第2の素子分離絶縁膜を形成する際に、素子形成領域の上部コーナ部におけるバーズピークを抑制でき、半導体基板にかかる応力を低減できる。

【0038】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態(以下、実施形態という)を説明する。

(第1の実施形態) 図1、図2は、本発明の第1の実施

形態に係るSTIおよびMOSトランジスタの形成方法を示す工程断面図である。

【0039】まず、図1(a)に示すように、単結晶のシリコン基板1の表面に厚さ10nm程度のバッファ酸化膜2を熱酸化によって形成し、続いてこのバッファ酸化膜2上に厚さ1000nm程度のシリコン窒化膜3を例えばLPCVD法を用いて形成する。

【0040】次に図1(b)に示すように、シリコン窒化膜3上にレジストパターン4を形成した後、このレジストパターン4をマスクにしてシリコン窒化膜3をエッチングし、レジストパターン4のパターンをシリコン窒化膜3に転写する。このエッチングには例えばRIEを用いる。

【0041】このシリコン窒化膜3もレジストパターン4と同様にマスクパターンとして用いれる。これにより、エッチングの最中にレジストパターン4が消滅しても、そのパターンはシリコン窒化膜3が存在する限り、下地に転写されることになる。

【0042】次に同図(b)に示すように、レジストパターン4、シリコン窒化膜3をマスクにしてバッファ酸化膜2、シリコン基板1をエッチングし、浅いトレンチ溝を形成し、複数の島状の素子形成領域を形成する。このエッチングには例えばRIEを用いる。

【0043】次に図1(c)に示すように、レジストパターン4を除去してから全面に埋め込み酸化膜5を形成し、トレンチ溝を埋め込んだ後、埋め込み酸化膜5の表面をCMPして略平坦化する。

【0044】次に図1(d)に示すように、トレンチ溝の上部側壁が露出するまで、埋め込み酸化膜5の全面をエッチングする。このとき、トレンチ溝の上部コーナ部近傍のバッファ酸化膜2もエッチングされ、素子形領域の上部コーナ部が露出する。

【0045】次に図2(e)に示すように、全面に厚さ1000nm程度の多結晶シリコン膜6をCVD法を用いて形成する。次に図2(f)に示すように、多結晶シリコン膜6の全面をRIEすることにより(いわゆる側壁残しにより)、バッファ酸化膜2、シリコン窒化膜3、トレンチ溝の側壁のみに多結晶シリコン膜6を選択的に残置させる。

【0046】すなわち、素子形成領域とトレンチ溝との境界上の多結晶シリコン膜6が、素子形成領域の表面以下にならないように、シリコン窒化膜3および埋め込み酸化膜5上の不要な多結晶シリコン膜6を除去する。

【0047】次に図2(g)に示すように、多結晶シリコン膜6を熱酸化法により酸化し、多結晶シリコン膜6をシリコン酸化膜6aに変える。この結果、素子形成領域の上部コーナ部はシリコン酸化膜6aで覆われることになる。また、このときの熱酸工程により、埋め込み酸化膜5をデンシファイすることができ、その後のデンシファイ工程を省略することができる。

【0048】次に図2(h)に示すように、シリコン窒化膜3、バッファ酸化膜2を除去した後、素子形成領域上にゲート酸化膜7、ゲート電極8を形成する。ここで、トレンチ溝の上部側壁が、素子形成領域の表面よりも高いシリコン酸化膜6aで覆われているので、バッファ酸化膜2の除去の際に、トレンチ溝の上部側壁が露出するのを防止できる。

【0049】この後は、周知のMOSトランジスタの製造方法に従う。すなわち、ゲート電極8をマスクにして素子領域にAsイオン等のn型不純物イオンを注入してn型ソース・ドレイン領域を自己整合的に形成し、次いで層間絶縁膜を堆積し、この層間絶縁膜にコンタクトホールを開孔し、ソース・ドレイン電極(配線)、ゲート配線を形成する。

【0050】本実施形態では、素子形成領域との境界であるトレンチ溝の側壁が、埋め込み酸化膜5およびシリコン酸化膜6aで覆われ、露出することはない。すなわち、トレンチ溝の上部側壁はシリコン酸化膜6aで覆われ、それ以外の側壁は埋め込み酸化膜5で覆われる。

【0051】このため、素子形成領域とトレンチ溝(素子分離領域)との境界をまたがるように、素子形成領域上にゲート電極8を形成し、このゲート電極8に電圧を印加しても、素子形成領域の上部コーナ部に電界が集中することはない。

【0052】したがって、本実施形態によれば、STIを用いた場合の素子形成領域の上部コーナ部における電界集中に起因する電気的特性の劣化を防止できる。具体的には、例えば、ゲート耐圧の低下、サブスレッシュホールド特性におけるキンクの発生、ハンプの発生などを防止できる。

(第2の実施形態) 図3は、本発明の第2の実施形態に係るSTIおよびMOSトランジスタの形成方法を示す工程断面図である。なお、図1、図2と対応する部分には図1、図2と同一符号を付してあり、詳細な説明は省略する。

【0053】本実施形態が第1の実施形態と主として異なる点は、不要な多結晶シリコン膜6の除去をRIEではなく、CMPにより行なうことにある。まず、第1の実施形態の図2(e)に示した多結晶シリコン膜6の形成工程に引き続いて、図3(a)に示すように、シリコン窒化膜3をストップにし、シリコン窒化膜3上の多結晶シリコン膜6が消滅するまで、多結晶シリコン膜6をCMPし、平坦化する。このとき、多結晶シリコン膜6の上面が、シリコン窒化膜3の上面よりも若干低くなつても良い。

【0054】次に図3(b)に示すように、残った多結晶シリコン膜6を熱酸化法により酸化し、多結晶シリコン膜6をシリコン酸化膜6aに変える。この結果、素子形成領域の上部コーナ部はシリコン酸化膜6aで覆われることになる。また、このときの熱酸工程により、埋め

込み酸化膜5をデンシファイすることができ、その後のデンシファイ工程を省略することができる。

【0055】次に図3(c)に示すように、シリコン塗化膜3、バッファ酸化膜2を除去した後、素子形成領域上にゲート酸化膜7、ゲート電極8を形成する。この後は、周知のMOSトランジスタの製造方法に従う。すなわち、ゲート電極8をマスクにして素子領域にAsイオン等のn型不純物イオンを注入してn型ソース・ドレイン領域を自己整合的に形成し、次いで層間絶縁膜を堆積し、この層間絶縁膜にコンタクトホールを開孔し、ソース・ドレイン電極(配線)、ゲート配線を形成する。

【0056】本実施形態でも第1の実施形態と同様な効果が得られる。

(第3の実施形態)図4は、本発明の第3の実施形態に係るSTIおよびMOSトランジスタの形成方法を示す工程断面図である。なお、図1、図2と対応する部分には図1、図2と同一符号を付してあり、詳細な説明は省略する。

【0057】本実施形態が第1の実施形態と主として異なる点は、多結晶シリコン膜6を形成する前に、素子形成領域の上部コーナ部上のシリコン塗化膜3を除去することにある。

【0058】まず、第1の実施形態の図1(e)に示した埋め込み酸化膜5のRIE工程に引き続いて、図4(a)に示すように、シリコン塗化膜3を熱リソ酸を用いて20nm程後退させる。この結果、素子形成領域の上部コーナ部上のシリコン塗化膜3が除去され、上部コーナ部上のバッファ酸化膜2が露出する。

【0059】次に同図4(a)に示すように、全面に厚さ1000nm程度の多結晶シリコン膜6を形成した後、この多結晶シリコン膜6の全面をRIEし、下レンチ溝の側壁および素子形成領域の上部コーナ部上に多結晶シリコン膜6を選択的に残置させる。

【0060】次に図4(b)に示すように、多結晶シリコン膜6を熱酸化法により酸化し、多結晶シリコン膜6をシリコン酸化膜6aに変える。この結果、素子形成領域の上部コーナ部はシリコン酸化膜6aで覆われることになる。また、このときの熱酸工程により、埋め込み酸化膜5をデンシファイすることができ、その後のデンシファイ工程を省略することができる。

【0061】また、素子形成領域の上部コーナ部のシリコン塗化膜3が除去されていることから、シリコン酸化膜6aのバーズピークが抑制され、シリコン基板1にかかる応力が軽減される。

【0062】次に図4(c)に示すように、シリコン塗化膜3、バッファ酸化膜2を除去した後、素子形成領域上にゲート酸化膜7、ゲート電極8を形成する。この後は、周知のMOSトランジスタの製造方法に従う。すなわち、ゲート電極8をマスクにして素子領域にAsイオン等のn型不純物イオンを注入してn型ソース・ドレイ

ン領域を自己整合的に形成し、次いで層間絶縁膜を堆積し、この層間絶縁膜にコンタクトホールを開孔し、ソース・ドレイン電極(配線)、ゲート配線を形成する。

【0063】本実施形態でも第1の実施形態と同様な効果が得られる。さらに本実施形態によれば、シリコン酸化膜6aのバーズピークを抑制でき、シリコン基板1にかかる応力を軽減できる。

(第4の実施形態)図5は、本発明の第4の実施形態に係るSTIおよびMOSトランジスタの形成方法を示す工程断面図である。なお、図1、図2と対応する部分には図1、図2と同一符号を付してあり、詳細な説明は省略する。

【0064】本実施形態が第1の実施形態と主として異なる点は、多結晶シリコン膜6を酸化する前に、シリコン塗化膜3を除去することにある。まず、第1の実施形態の図2(f)に示した多結晶シリコン膜6のRIE工程に引き続いて、図5(a)に示すように、シリコン塗化膜3を熱リソ酸を用いて除去する。

【0065】次に図5(b)に示すように、多結晶シリコン膜6を熱酸化法により酸化し、多結晶シリコン膜6をシリコン酸化膜6aに変える。このとき、シリコン塗化膜3が存在しないため、シリコン酸化膜6aにバーズピークは生じず、シリコン基板1にかかる応力を十分に軽減することができる。また、このときの熱酸工程により、埋め込み酸化膜5をデンシファイすることができ、その後のデンシファイ工程を省略することができる。

【0066】次に図5(c)に示すように、バッファ酸化膜2、シリコン塗化膜3を除去した後、素子形成領域上にゲート酸化膜7、ゲート電極8を形成する。この後は、周知のMOSトランジスタの製造方法に従う。すなわち、ゲート電極8をマスクにして素子領域にAsイオン等のn型不純物イオンを注入してn型ソース・ドレイン領域を自己整合的に形成し、次いで層間絶縁膜を堆積し、この層間絶縁膜にコンタクトホールを開孔し、ソース・ドレイン電極(配線)、ゲート配線を形成する。

【0067】本実施形態でも第1の実施形態と同様な効果が得られる。さらに本実施形態によれば、シリコン酸化膜6aにバーズピークが生じないので、シリコン基板1にかかる応力を十分に軽減できる。

(第5の実施形態)図6、図7は、本発明の第5の実施形態に係る半導体装置の製造方法を示す工程断面図である。

【0068】まず、図6(a)に示すように、単結晶のシリコン基板1の表面に厚さ10nm程度のバッファ酸化膜12を熱酸化によって形成し、続いてこのバッファ酸化膜12上に厚さ1000nm程度の多結晶シリコン膜13を例えればCVD法を用いて形成する。

【0069】次に図6(b)に示すように、多結晶シリコン膜13上にレジストパターン14を形成した後、このレジストパターン14をマスクにして多結晶シリコン

膜13をエッチングし、レジストパターン14のパターンを多結晶シリコン膜13に転写する。このエッチングには例えばRIEを用いる。

【0070】この多結晶シリコン膜13もレジストパターン14と同様にマスクパターンとして用いられる。これにより、エッチングの最中にレジストパターン14が消滅しても、そのパターンは多結晶シリコン膜13が存在する限り、下地に転写されることになる。

【0071】次に同図(b)に示すように、レジストパターン14、多結晶シリコン膜13をマスクにしてバッファ酸化膜12、シリコン基板11をエッチングし、トレンチ溝を形成し、複数の島状の素子形成領域を形成する。このエッチングには例えばRIEを用いる。

【0072】次に図6(c)に示すように、レジストパターン14を除去してから全面に埋め込み酸化膜15を形成し、トレンチ溝を埋め込んだ後、埋め込み酸化膜15の表面をCMPして略平坦化する。

【0073】次に図6(d)に示すように、トレンチ溝の上部側壁が露出するまで、埋め込み酸化膜15の全面をエッチングする。このとき、トレンチ溝の上部コーナ部近傍のバッファ酸化膜12もエッチングされ、素子形領域の上部コーナ部が露出する。

【0074】次に図7(e)に示すように、全面に厚さ1000nm程度のシリコン窒化膜16をLPCVD法を用いて形成する。次に図7(f)に示すように、多結晶シリコン膜13をトップにし、多結晶シリコン膜13上のシリコン窒化膜16が消滅するまで、シリコン窒化膜16をCMPし、平坦化する。このとき、シリコン窒化膜16の上面が、多結晶シリコン膜13の上面よりも若干低くなても良い。

【0075】次に図7(g)に示すように、多結晶シリコン膜13を選択的に除去する。次に図7(h)に示すように、バッファ酸化膜12を除去した後、素子形成領域上にゲート酸化膜17、ゲート電極18を形成する。

【0076】この後は、周知のMOSトランジスタの製造方法に従う。すなわち、ゲート電極8をマスクにして素子領域にAsイオン等のn型不純物イオンを注入してn型ソース・ドレイン領域を自己整合的に形成し、次いで層間絶縁膜を堆積し、この層間絶縁膜にコンタクトホールを開孔し、ソース・ドレイン電極(配線)、ゲート配線を形成する。

【0077】本実施形態では、素子形成領域との境界であるトレンチ溝の側壁が、埋め込み酸化膜15およびシリコン窒化膜16で覆われ、露出することはない。すなわち、素子形成領域の上部コーナ部は、シリコン酸化膜16で覆われ、それ以外の部分は埋め込み酸化膜15で覆われる。

【0078】このため、素子形成領域とトレンチ溝(素子分離領域)との境界をまたがるように、素子形成領域上にゲート電極18を形成し、このゲート電極18に電

圧を印加しても、素子形成領域の上部コーナ部に電界が集中することはない。

【0079】したがって、本実施形態によれば、STIを用いた場合の素子形成領域の上部コーナ部における電界集中に起因する電気的特性の劣化を防止できる。具体的には、例えば、ゲート耐圧の低下、サブスレッシュホールド特性におけるキングの発生、ハンプの発生などを防止できる。

【0080】なお、本実施形態の変形例としては、図7(f)の工程でシリコン窒化膜16をCMPする代わりに、図8(a)に示すように、シリコン窒化膜16をRIEしても良い。この後の工程は図7(g)以降と同じである。図8(b)に図7(h)に相当する断面図を示しておく。

(第6の実施形態)図9は、本発明の第6の実施形態に係るSTIおよびMOSトランジスタの形成方法を示す工程断面図。なお、図6、図7と対応する部分には図7、図8と同一符号を付してあり、詳細な説明は省略する。

【0081】本実施形態が第5の実施形態と主として異なる点は、多結晶シリコン膜13を酸化してから除去することにある。まず、第7の実施形態の図7(f)に示した多結晶シリコン膜6のRIE工程に引き続いて、図9(a)に示すように、多結晶シリコン膜13を熱酸化してシリコン酸化膜13aに変える。

【0082】次に図9(b)に示すように、バッファ酸化膜12およびシリコン酸化膜13aをウエットエッチングにより除去する。次に図9(c)に示すように、素子形成領域上にゲート酸化膜17、ゲート電極18を形成する。

【0083】この後は、周知のMOSトランジスタの製造方法に従う。すなわち、ゲート電極8をマスクにして素子領域にAsイオン等のn型不純物イオンを注入してn型ソース・ドレイン領域を自己整合的に形成し、次いで層間絶縁膜を堆積し、この層間絶縁膜にコンタクトホールを開孔し、ソース・ドレイン電極(配線)、ゲート配線を形成する。

【0084】本実施形態でも第5の実施形態と同様な効果が得られる。また、多結晶シリコン膜13を熱酸化によりシリコン酸化膜13aに変える酸化工程で、埋め込み酸化膜15をデンシファイできるので、その後のデンシファイ工程を省略することができる。

(第7の実施形態)次に本発明の第7の実施形態に係るMOSトランジスタの形成方法について説明する。

【0085】本実施形態が第4の実施形態と主として異なる点は、素子形成領域の上部コーナ部(露出したSTIコーナ部)上に、シリコン酸化膜6aとなる単結晶シリコン膜6'を選択的に形成することにある。

【0086】まず、第3の実施形態の図4(a)の工程と同様に、シリコン窒化膜3を熱リン酸を用いて後退さ

せ、図10(a)に示すように、素子形成領域の上部コーナ部のバッファ酸化膜2を露出させる。

【0087】次に図10(b)に示すように、シリコン塗化膜3で覆われていない、素子形成領域の上部コーナ部上に、単結晶のシリコン酸化膜6'をエピタキシャル成長法を用いて選択的に形成する。

【0088】次に図10(b)に示すように、シリコン膜6'を熱酸化法により酸化し、シリコン膜6'をシリコン酸化膜6'aに変える。この結果、素子形成領域の上部コーナ部はシリコン酸化膜6'aで覆われることになる。この後の工程は、第3の実施形態の図4(c)以降の工程と同様である。

【0089】本実施形態でも第3の実施形態と同様な効果が得られる。また、本実施形態によれば、シリコン酸化膜6'の形成は成膜工程だけで済むので、成膜工程とエッチング工程が必要な第3の実施形態よりも、プロセスを短縮化できるという効果が得られる。

【0090】なお、本発明は上記実施形態に限定されるものではなく、以下のように種々変形できる。例えば、上記実施形態では、nチャネルMOSトランジスタを形成する場合について説明したが、本発明はpチャネルMOSトランジスタを形成する場合にも有効である。また、本発明は、例えばMOSダイオード、その他のMIS構造を有する素子にも有効である。

【0091】また、上記実施形態では、埋め込み酸化膜を後退させる工程でドライエッチングであるRIEを用いたが、ウエットエッチングを用いても良い。また、上記実施形態では、多結晶シリコン膜を用いたが、非晶質シリコン膜を用いても良い。

【0092】また、上記実施形態では、多結晶シリコン膜を平坦化する工程でCMPを用いたが、CDEによるエッチバックを用いても良い。また、上記実施形態では、側壁残しをRIEによって行なったが、CDEによって行なっても良い。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

### 【0093】

【発明の効果】以上詳述したように本発明では、素子形成領域との境界である素子分離溝の側壁は第1、第2の素子分離絶縁膜で覆われている。ここで、第2の素子分離絶縁膜は、素子分離溝の側壁を覆うように形成され、かつ素子形成領域と素子分離溝との境界上において、素子形成領域の表面より突出している。

【0094】このため、素子形成領域と素子分離領域との境界をまたがるように、素子形成領域上に導電膜を形成しても、素子形成領域の上部コーナ部に電界が集中することはない。したがって、本発明によれば、溝型素子分離を用いた場合の素子形成領域の上部コーナ部における

電界集中に起因する素子特性の劣化を防止できるようになる。

### 【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るSTIおよびMOSトランジスタの前半の形成方法を示す工程断面図

【図2】本発明の第1の実施形態に係るSTIおよびMOSトランジスタの後半の形成方法を示す工程断面図

【図3】本発明の第2の実施形態に係るSTIおよびMOSトランジスタの形成方法を示す工程断面図

【図4】本発明の第3の実施形態に係るSTIおよびMOSトランジスタの形成方法を示す工程断面図

【図5】本発明の第4の実施形態に係るSTIおよびMOSトランジスタの形成方法を示す工程断面図

【図6】本発明の第5の実施形態に係るSTIおよびMOSトランジスタの前半の形成方法を示す工程断面図

【図7】本発明の第5の実施形態に係るSTIおよびMOSトランジスタの後半の形成方法を示す工程断面図

【図8】第5の実施形態の変形例を示す工程断面図

【図9】本発明の第6の実施形態に係るSTIおよびMOSトランジスタの形成方法を示す工程断面図

【図10】本発明の第7の実施形態に係るSTIの形成方法を示す工程断面図

【図11】従来のSTIおよびMOSトランジスタの形成方法を示す工程断面図

### 【符号の説明】

1…シリコン基板

2…バッファ酸化膜(第1の絶縁膜)

3…シリコン塗化膜(マスクパターン)

4…レジストパターン

5…埋め込み酸化膜(第2の絶縁膜、第1の素子分離絶縁膜)

6…多結晶シリコン膜(非絶縁膜)

6'…単結晶シリコン膜(第2の素子分離絶縁膜)

6'a…シリコン酸化膜(第2の素子分離絶縁膜)

7…ゲート酸化膜

8…ゲート電極

11…シリコン基板

12…バッファ酸化膜(第1の絶縁膜)

13…多結晶シリコン膜(マスクパターン)

14…レジストパターン

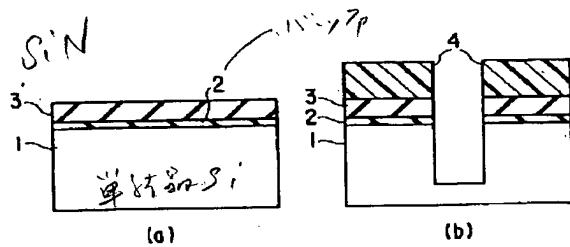
15…埋め込み酸化膜(第2の絶縁膜、第1の素子分離絶縁膜)

16…シリコン塗化膜(第3の絶縁膜、第2の素子分離絶縁膜)

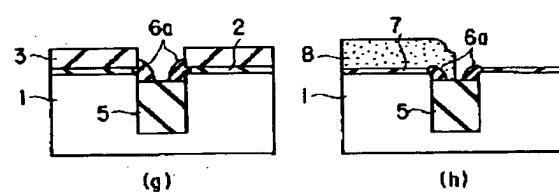
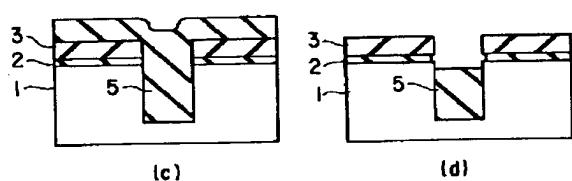
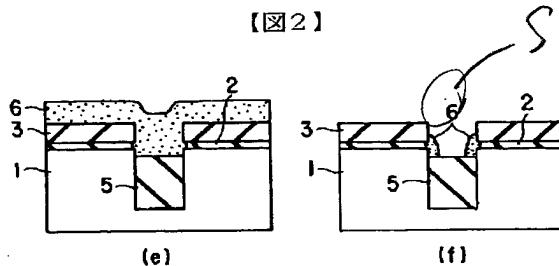
17…ゲート酸化膜

18…ゲート電極

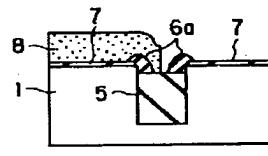
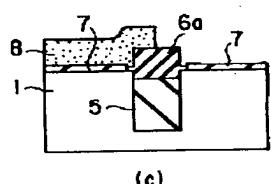
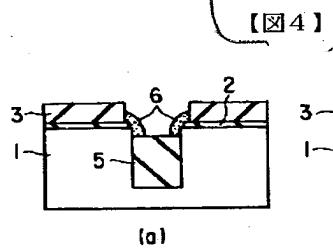
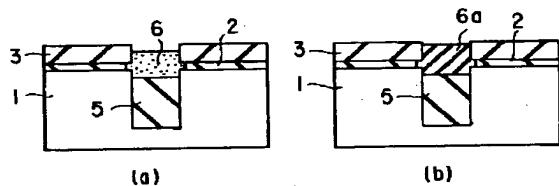
【図1】



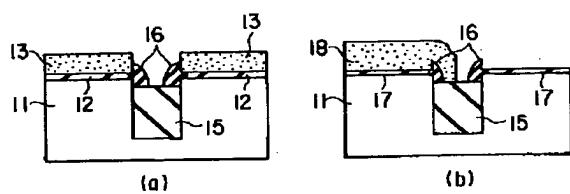
【図2】



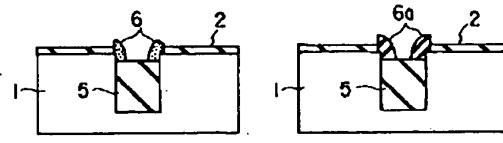
【図3】



【図8】

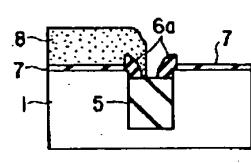


【図5】



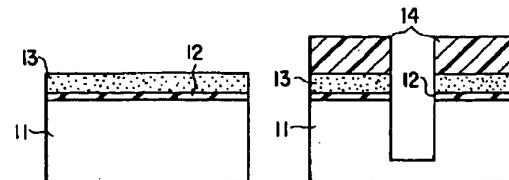
(a)

(b)



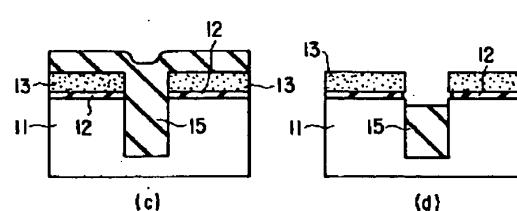
(c)

【図6】



(a)

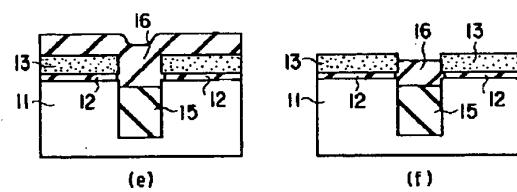
(b)



(c)

(d)

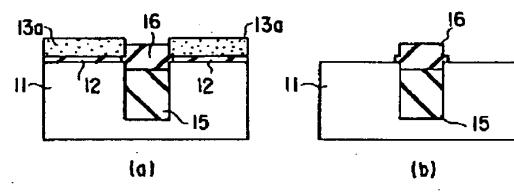
【図7】



(e)

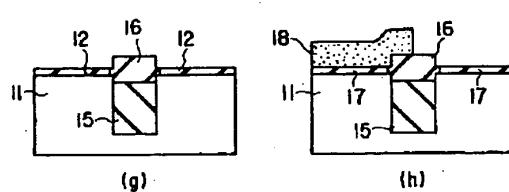
(f)

【図9】



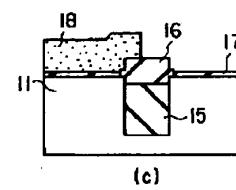
(a)

(b)



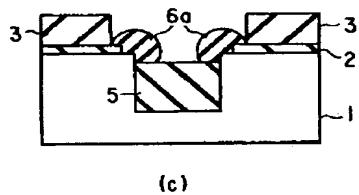
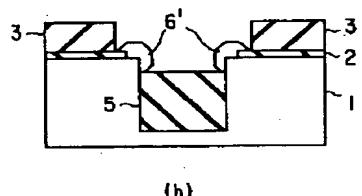
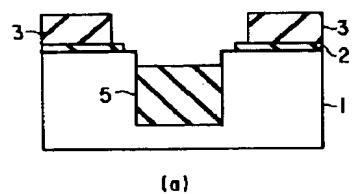
(g)

(h)



(c)

【図10】



【図11】

